



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 44 401.3  
**Anmeldetag:** 24. September 2002  
**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE  
**Bezeichnung:** Bauelement mit Takt-Weiterleitungs-Einrichtung  
**IPC:** G 11 C 7/22

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 02. Oktober 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

A handwritten signature in black ink, appearing to be 'Eberk'.

Eberk

## Beschreibung

## Bauelement mit Takt-Weiterleitungseinrichtung

- 5 Die Erfindung betrifft ein Bauelement gemäß Oberbegriff des Anspruchs 1, insbesondere ein DDR- (Double Data Rate) Halbleiter-Bauelement.

10 Bei Halbleiter-Bauelementen, insbesondere bei Speicherbauelementen wie - z.B. auf CMOS-Technologie beruhenden - DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) werden - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten - sog. Taktsignale verwendet.

15 Bei herkömmlichen Halbleiter-Bauelementen wird dabei i.A. ein - auf einer Einzel-Leitung anliegendes - Einzel-Taktsignal eingesetzt (d.h. ein sog. „single ended“-Taktsignal).

20 Die Daten können dann z.B. jeweils bei der ansteigenden Taktflanke des Einzel-Taktsignals weitergeschaltet werden (oder alternativ z.B. jeweils bei der abfallenden Einzel-Taktsignal-Flanke).

25 Des weiteren sind im Stand der Technik bereits sog. DDR-Bauelemente, insbesondere DDR-DRAMs bekannt (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

30 Bei DDR-DRAMs werden - statt eines einzelnen, auf einer Einzel-Leitung anliegenden Taktsignals („single ended“-Taktsignal) - zwei auf zwei getrennten Leitungen anliegende, differentielle, inverse Taktsignale verwendet.

35 Immer dann, wenn z.B. das erste Taktsignal der beiden Taktsignale von einem Zustand „logisch hoch“ (z.B. einem hohen Spannungspegel) auf einen Zustand „logisch niedrig“ (z.B. einen niedrigen Spannungspegel) wechselt, ändert das

zweite Taktsignal - im wesentlichen gleichzeitig - seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (z.B. von einem niedrigen auf einen hohen Spannungspegel).

- 5 Umgekehrt ändert immer dann, wenn das erste Taktsignal von einem Zustand „logisch niedrig“ (z.B. einem niedrigen Spannungspegel) auf einen Zustand „logisch hoch“ (z.B. einen hohen Spannungspegel) wechselt, das zweite Taktsignal (wiederum im wesentlichen gleichzeitig) seinen Zustand von  
10 „logisch hoch“ auf „logisch niedrig“ (z.B. von einem hohen auf einen niedrigen Spannungspegel).

- 15 In DDR-DRAMs werden die Daten sowohl bei der ansteigenden Flanke eines entsprechenden Taktsignals, als auch bei der abfallenden Flanke des jeweiligen Taktsignals weitergeschaltet.

- 20 Damit erfolgt in einem DDR-DRAM die Weiterschaltung der Daten häufiger bzw. schneller (insbesondere doppelt so häufig, bzw. doppelt so schnell), wie bei entsprechenden, herkömmlichen DRAMs mit Einzel- bzw. „single ended“ - Taktsignal - d.h. die Datenrate ist doppelt so hoch, wie bei entsprechenden, herkömmlichen DRAMs.

- 5 DDR-DRAMs weisen zwei Taktanschlüsse auf, wobei beim normalen Arbeits-Betriebs-Modus des DRAMs - von einem externen Taktsignal-Geber - an den ersten Taktanschluß das o.g. erste Taktsignal angelegt wird, und an den zweiten Taktanschluß - ebenfalls durch den externen Taktsignal-Geber - das o.g.  
30 zweite, zum o.g. ersten Taktsignal inverse Taktsignal.

- Wird das DDR-DRAM - vor der eigentlichen Inbetriebnahme - z.B. mit Hilfe eines speziellen, externen Testgeräts getestet (d.h. statt im o.g., normalen Arbeits-Betriebs-Modus in einem  
35 Test-Modus betrieben), werden die entsprechenden Taktsignale - statt vom o.g. externen Taktsignal-Geber - vom externen

Testgerät bereitgestellt, und an die entsprechenden DRAM-Anschlüsse angelegt.

Dabei können vom Testgerät entweder - den o.g.

- 5 differentiellen Taktsignalen entsprechende - differentielle Taktsignale an den entsprechenden ersten und zweiten Taktanschluss des DDR-Bauelements angelegt werden, oder es kann vom Testgerät lediglich ein Einzel- bzw. „single ended“-  
10 Test-Taktsignal ausgegeben werden, welches einem bei einem herkömmlichen, nur ein Einzel-Taktsignal verwendenden Bauelement eingesetzten Einzel-Test-Taktsignal entspricht.

- Dieses Einzel-Test-Taktsignal wird z.B. lediglich an den ersten Taktanschluß des DRAMs angelegt (am zweiten  
15 Bauelement-Taktanschluß liegt dann kein (Test-) Taktsignal an, sondern z.B. eine Spannung  $V_{ref}$ ; diese Spannung wird zum Betrieb des DDR-DRAMs benötigt, d.h. muß vom Testgerät geliefert werden, und kann beim Test auch an den zweiten Taktanschluß angelegt werden).

- 20 Durch die Verwendung eines Einzel-Test-Taktsignals (statt der o.g. zwei inversen Test-Taktsignale) können beim jeweils eingesetzten Testgerät Testkanäle eingespart werden.

- 25 Außerdem kann erreicht werden, dass zum Test eines zur Verwendung differentieller Taktsignale vorgesehenen DDR-DRAMs ein zum Test eines herkömmlichen, ein Einzel-Taktsignal verwendenden Bauelements vorgesehenes Testgerät verwendet werden kann (oder ein einem solchen Testgerät entsprechendes  
30 bzw. ähnliches Testgerät).

Die Erfindung hat zur Aufgabe, ein neuartiges Bauelement zur Verfügung zu stellen.

- 35 Sie erreicht dieses und weitere Ziele durch den Gegenstand des Anspruchs 1.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird ein Bauelement zur Verfügung gestellt, welches einen (ersten) Anschluß aufweist, sowie mindestens einen weiteren Anschluß, wobei an den Anschlüssen differentielle Eingangs-Taktsignale (CLK; /CLK) angelegt werden können, oder - am (ersten) Anschluß - ein Einzel-Eingangs-Taktsignal (CLK), und wobei das Bauelement außerdem eine erste und eine zweite Takt-Weiterleitungs-Einrichtung aufweist, wobei die erste Takt-Weiterleitungs-Einrichtung zum Weiterleiten differentieller Eingangs-Taktsignale (CLK; /CLK), und die zweite Takt-Weiterleitungs-Einrichtung zum Weiterleiten eines Einzel-Eingangs-Taktsignals (CLK) vorgesehen ist.

Besonders vorteilhaft ist die erste Takt-Weiterleitungs-Einrichtung speziell zum Weiterleiten differentieller Eingangs-Taktsignale (CLK; /CLK), und/oder die zweite Takt-Weiterleitungs-Einrichtung speziell zum Weiterleiten eines Einzel-Eingangs-Taktsignals (CLK) ausgelegt.

Dadurch kann - abhängig von der Art des bzw. der jeweils anliegenden Eingangs-Taktsignale (differentiell oder „single ended“) - die jeweils für die entsprechenden Eingangs-Taktsignale optimierte Takt-Weiterleitungs-Einrichtung verwendet bzw. aktiviert werden (und die jeweils andere Takt-Weiterleitungs-Einrichtung deaktiviert).

Damit wird eine verbesserte, insbesondere z.B. schnellere Weiterleitung der Eingangs-Taktsignale erreicht, als im Stand der Technik (wo - egal ob differentielle oder „single ended“ Eingangs-Taktsignale weitergeleitet werden sollen - herkömmlich ein- und dieselbe Takt-Weiterleitungseinrichtung verwendet wird).

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

- 5    Figur 1    eine schematische Darstellung eines ersten Abschnitts einer eine Taktsignal-Ermittlungs-Einrichtung aufweisenden Schaltungsanordnung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;
- 10   Figur 2    eine schematische Darstellung des zeitlichen Verlaufs der bei der Taktsignal-Ermittlungs-Einrichtung gemäß Figur 1 verwendeten Referenzspannung, und des zu ermittelnden Taktsignals; und
- 15   Figur 3    eine schematische Darstellung eines weiteren Abschnitts der in Figur 1 gezeigten Schaltungsanordnung.

In Figur 1 ist eine schematische Darstellung eines ersten  
20   Abschnitts einer Schaltungsanordnung 1 mit einer Taktsignal-Ermittlungs-Einrichtung 2 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung gezeigt.

Die Schaltungsanordnung 1 kann z.B. in ein Halbleiter-  
5   Bauelement eingebaut sein, z.B. in ein - auf CMOS-Technologie beruhendes - DRAM-Speicherbauelement (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher).

Beim DRAM-Speicherbauelement kann es sich z.B. um ein DDR-  
30   DRAM (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate) handeln.

Dieses weist zwei Taktanschlüsse 3a, 3b auf, wobei - beim normalen Arbeits-Betriebs-Modus des DDR-DRAMS - an den ersten  
35   Taktanschluß 3a ein - von einem externen Taktsignal-Geber, d.h. von außen her stammendes - erstes Taktsignal CLK angelegt wird, und an den zweiten Taktanschluß 3b - ebenfalls

durch den externen Taktsignal-Geber - ein zweites Taktsignal /CLK.

Bei den beiden Taktsignalen CLK und /CLK handelt es sich z.B. um sog. differentielle, d.h. inverse Taktsignale: Immer dann, wenn z.B. das erste Taktsignal CLK von einem Zustand „logisch hoch“ auf einen Zustand „logisch niedrig“ wechselt, wechselt das zweite Taktsignal /CLK - im wesentlichen gleichzeitig - seinen Zustand von „logisch niedrig“ auf „logisch hoch“.

Umgekehrt wechselt immer dann, wenn das erste Taktsignal CLK von einem Zustand „logisch niedrig“ auf einen Zustand „logisch hoch“ wechselt, das zweite Taktsignal /CLK - im wesentlichen gleichzeitig - seinen Zustand von „logisch hoch“ auf „logisch niedrig“.

Die o.g. doppelte Datenrate (- gegenüber herkömmlichen, nur ein einzelnes Taktsignal CLK verwendenden Bauelementen -) wird im DDR-DRAM dadurch erreicht, dass die jeweiligen Daten - innerhalb des DDR-DRAMs - nicht nur bei der ansteigenden Taktflanke eines Taktsignals (z.B. des o.g. Einzel-Taktsignals CLK) weitergeschaltet werden, sondern auch bei der abfallenden Flanke des Taktsignals CLK - d.h. doppelt so häufig, wie bei herkömmlichen DRAMs mit Einzel- bzw. „single ended“ - Taktsignal CLK.

Wird das DDR-DRAM - statt im o.g., normalen Arbeits-Betriebs-Modus - in einem Test-Modus betrieben (bei welchem das DRAM - z.B. von einem speziellen, externen Testgerät 4 - getestet wird), werden die entsprechenden Taktsignale - statt vom o.g. externen Taktsignal-Geber - vom externen Testgerät 4 angelegt.

Dabei können vom Testgerät 4 entweder - den o.g. differentiellen Taktsignalen CLK, /CLK entsprechende - differentielle Test-Taktsignale CLK<sub>T</sub>, /CLK<sub>T</sub> ausgegeben werden (wobei z.B. über eine erste Leitung 5a ein - dem o.g. ersten

Taktsignal CLK entsprechendes - erstes Test-Taktsignal  $CLK_T$  an den ersten Taktanschluss 3a angelegt wird, und z.B. über eine zweite Leitung 5b (in Figur 1 gestrichelt dargestellt) an den zweiten Taktanschluss 3b ein - dem o.g. zweiten

- 5 Taktsignal /CLK entsprechendes - (zum ersten, vom Testgerät 4 angelegten Test-Taktsignal  $CLK_T$  gegengleich-inverses) zweites Test-Taktsignal / $CLK_T$ ).

Alternativ kann vom Testgerät 4 lediglich ein Einzel- bzw.

- 10 „single ended“-Test-Taktsignal  $CLK_T$  ausgegeben werden (entsprechend einem bei einem herkömmlichen, nur ein einzelnes Taktsignal CLK („single ended“-Taktsignal) verwendenden Bauelement eingesetzten Einzel-Test-Taktsignal). Dieses Einzel-Test-Taktsignal  $CLK_T$  wird dann entsprechend wie  
15 in Figur 1 dargestellt über die o.g. erste Leitung 5a an den ersten Taktanschluss 3a des Bauelements angelegt - am zweiten Bauelement-Anschluß 3b liegt dann kein (Test-) Taktsignal an.

Durch die Verwendung eines Einzel-Test-Taktsignals  $CLK_T$

- 20 (statt der o.g. zwei inversen, differentiellen Test-Taktsignale  $CLK_T$ , / $CLK_T$ ) können beim jeweils eingesetzten Testgerät 4 Testkanäle eingespart werden, und/oder es kann zum Test eines (eigentlich) zur Verwendung differentieller Taktsignale vorgesehenen DDR-DRAMs ein zum Test eines  
25 herkömmlichen, ein Einzel-Taktsignal verwendenden Bauelements vorgesehenes Testgerät 4 verwendet werden (oder ein zu einem solchen Testgerät 4 entsprechend ähnliches - z.B. nur leicht umgebautes - Testgerät).

- 30 Wie in Figur 1 und 3 gezeigt ist, ist der erste Taktanschluss 3a über eine Leitung 45b, und eine damit verbundene Leitung 53 mit einem ersten Eingang einer ersten Takt-Weiterleitungseinrichtung 51 verbunden, und der zweite Taktanschluss 3b über eine Leitung 45a mit einem zweiten Eingang der ersten  
35 Takt-Weiterleitungseinrichtung 51.



Des weiteren ist eine zweite Takt-Weiterleitungs-Einrichtung 50 vorgesehen, deren (einziger) Eingang - über eine mit der Leitung 45b verbundene Leitung 52 - ebenfalls an den ersten Bauelement-Taktanschluß 3a angeschlossen ist.

5

Bezogen auf Figur 3 ist ein erster Ausgang der ersten Takt-Weiterleitungs-Einrichtung 51 an eine Leitung 58b angeschlossen, und ein zweiter Ausgang der ersten Takt-Weiterleitungs-Einrichtung 51 an eine Leitung 58a.

10

Der (einzige) Ausgang der zweiten Takt-Weiterleitungs-Einrichtung 50 ist über eine Leitung 54 und eine damit verbundene Leitung 55 an den Eingang eines Transmission-Gates 49 angeschlossen. Der Ausgang des Transmission-Gates 49 ist mit einer Leitung 57b verbunden (die an die entsprechende - bei der ersten Takt-Weiterleitungs-Einrichtung 51 vorgesehene - Leitung 58b angeschlossen sein kann).

15

20

Wie weiter in Figur 3 gezeigt ist, ist der (einzige) Ausgang der zweiten Takt-Weiterleitungs-Einrichtung 50 über eine mit der Leitung 54 verbundene Leitung 56 zusätzlich noch mit einem ersten Eingang eines NAND-Schalt-Glieds 48 verbunden, dessen Ausgang an eine Leitung 57a angeschlossen ist (die mit der entsprechenden - bei der ersten Takt-Weiterleitungs-Einrichtung 51 vorgesehenen - Leitung 58a verbunden sein kann).

25

Wie weiter unten noch genauer erläutert wird, wird mit der in Figur 1 gezeigten Taktsignal-Ermittlungs-Einrichtung 2 ermittelt, ob am Bauelement - insbesondere an dessen Taktanschlüssen 3a, 3b - differentielle Taktsignale anliegen (insbesondere das o.g. Takt- bzw. Test-Taktsignal CLK bzw. CLK<sub>T</sub> am ersten Taktanschluss 3a, und das o.g. - hierzu inverse - Takt- bzw. Test-Taktsignal /CLK bzw. /CLK<sub>T</sub> am zweiten Taktanschluss 3b), oder ein Einzel-Taktsignal (insbesondere - am ersten Taktanschluss 3a - das o.g. Einzel-Takt- bzw. Einzel-Test-Taktsignal CLK bzw. CLK<sub>T</sub>).

30

35

Wird ermittelt, dass differentielle Taktsignale anliegen, wird dies dadurch angezeigt, dass ein an einem Ausgang 10 der Schaltungsanordnung 1 anliegendes Signal OUTPUT von einem

5 „logisch niedrigen“ auf einen „logisch hohen“ Zustand wechselt (und ein entsprechend negiertes Signal /OUTPUT auf einer Leitung 47 von einem Zustand „logisch hoch“ auf einen Zustand „logisch niedrig“).

10 Abhängig davon, ob ermittelt wird, dass ein Einzel-Takt- bzw. Einzel-Test-Taktsignal, oder dass differentielle Takt- bzw. Test-Taktsignale am Bauelement anliegen, - d.h. in Abhängigkeit vom Zustand des am Ausgang 10 der Schaltungsanordnung 1 ausgegebenen Signals OUTPUT - wird die

15 (speziell für Einzel-Taktsignale ausgelegte) zweite Takt-Weiterleitungs-Einrichtung 50, oder die (speziell für differentielle Taktsignale ausgelegte) erste Takt-Weiterleitungs-Einrichtung 51 aktiviert (und die jeweils andere Takt-Weiterleitungs-Einrichtung 50, 51 deaktiviert).

20 Ist die erste Takt-Weiterleitungs-Einrichtung 51 aktiviert, und die zweite Takt-Weiterleitungs-Einrichtung 50 deaktiviert („logisch hoher“ Zustand des Signals OUTPUT am Ausgang 10 der Schaltungsanordnung 1), gibt die erste Takt-Weiterleitungs-

25 Einrichtung 51 - aus den an den Leitungen 45a, 53 empfangenen, differentiellen Taktsignalen (bzw. Test-Taktsignalen) CLK, /CLK (bzw. CLK<sub>T</sub>, /CLK<sub>T</sub>) abgeleitete - differentielle Taktsignale CLK''', /CLK''' an den Leitungen 58a, 58b aus (insbesondere ein Taktsignal CLK''' an der

30 Leitung 58b, und ein - hierzu inverses - Taktsignal /CLK''' an der Leitung 58a).

Die Taktsignale CLK''', /CLK''' sind - gegenüber den Taktsignalen CLK, /CLK (bzw. CLK<sub>T</sub>, /CLK<sub>T</sub>) - durch die erste

35 Takt-Weiterleitungs-Einrichtung 51 entsprechend „aufbereitet“, d.h. z.B. re-timed und/oder re-shaped und/oder re-amplified worden, und werden - zur zeitlichen Koordination

der Verarbeitung bzw. Weiterschaltung von Daten im Bauelement - an weitere, im Bauelement vorgesehene Schalt-Einrichtungen weitergeleitet.

- 5 Ist demgegenüber die zweite Takt-Weiterleitungs-Einrichtung 50 aktiviert, und die erste Takt-Weiterleitungs-Einrichtung 51 deaktiviert („logisch niedriger“ Zustand des Signals OUTPUT am Ausgang 10 der Schaltungsanordnung 1), gibt die  
10 der Leitung 52 empfangenen (Einzel-)Taktsignal (bzw. (Einzel-)Test-Taktsignal) CLK abgeleitetes - Taktsignal CLK'''' an der (Einzel-)Leitung 54 aus.

- 15 Das Taktsignal CLK'''' ist - gegenüber dem Taktsignal CLK - durch die zweite Takt-Weiterleitungs-Einrichtung 50 entsprechend „aufbereitet“, d.h. z.B. re-timed und/oder re-shaped und/oder re-amplified worden.

- 20 Wie in Figur 3 gezeigt ist, wird das Taktsignal CLK'''' über die Leitung 56 an den ersten Eingang des NAND-Schalt-Glieds 48 weitergeleitet. Falls am zweiten Eingang des NAND-Schalt-Glieds 48 (d.h. an der Leitung 47) ein „logisch hohes“ Signal anliegt (d.h. beim „logisch niedrigen“ Zustand des Signals OUTPUT am Ausgang 10 der Schaltungsanordnung 1), wird am  
25 Ausgang des NAND-Schalt-Glieds 48, d.h. an der Leitung 57a, - um die Gatterlaufzeit (propagation delay time)  $t_{pd,NAND}$  des NAND-Schalt-Glieds 48 verzögert - ein zum Taktsignal CLK'''' inverses Taktsignal /CLK'' ausgegeben.

- 30 Wie weiter in Figur 3 gezeigt ist, wird das Taktsignal CLK'''' außerdem noch über die Leitung 55 an den Eingang des Transmission-Gates 49 angelegt.

- 35 Dieses weist einen n-, und einen p-Kanal-Feldeffekttransistor auf, wobei der erste Steuereingang des Transmission-Gates 49 an das Gate des n-, und der zweite, komplementäre

Steuereingang des Transmission-Gates 49 an das Gate des p-Kanal-Feldeffekttransistors angeschlossen ist.

Die - miteinander verbundenen - Drains des n- und des p-Kanal-Feldeffekttransistors bilden den Eingang, und die - ebenfalls miteinander verbundenen - Sourcen des n- und des p-Kanal-Feldeffekttransistors bilden den Ausgang des Transmission-Gates 49.

Gemäß Figur 3 wird an den ersten Steuereingang des Transmission-Gates 49 fortwährend ein „logisch hohes“ (und somit an den zweiten, komplementären Steuereingang des Transmission-Gates 49 fortwährend ein „logisch niedriges“) Signal angelegt, so dass das Transmission-Gate 49 fortwährend in einem leitenden Zustand ist.

Das am Eingang des Transmission-Gates 49 anliegende Taktsignal  $CLK''''$  wird somit - im wesentlichen unverändert, und lediglich um die Gatterlaufzeit (propagation delay time)  $t_{pd, TRANSMISSION}$  des Transmission-Gates 49 verzögert - an den Ausgang Transmission-Gates 49 durchgereicht, so dass an der Leitung 57b dann ein - verzögertes - Taktsignal  $CLK''$  anliegt.

Die Gatterlaufzeit  $t_{pd, TRANSMISSION}$  des Transmission-Gates 49 ist im wesentlichen gleich groß, wie die Gatterlaufzeit  $t_{pd, NAND}$  des NAND-Schalt-Glieds 48.

Dadurch wird erreicht, dass das am Ausgang des NAND-Schalt-Glieds 48, d.h. an der Leitung 57a, ausgegebene Taktsignal  $/CLK''$  invers ist zu dem am Ausgang des Transmission-Gates 49, d.h. an der Leitung 57b ausgegebenem Taktsignal  $CLK''$ . Mit anderen Worten liegen also an den Leitungen 57a, 57b differentielle Taktsignale  $CLK''$ ,  $/CLK''$  an, die - entsprechend wie die gegebenenfalls von der ersten Takt-Weiterleitungs-Einrichtung 51 an den Leitungen 58a, 58b ausgegebenen differentiellen Taktsignale  $CLK'''$ ,  $/CLK'''$  -

zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung von Daten im Bauelement an die o.g. weiteren, im Bauelement vorgesehenen Schalt-Einrichtungen weitergeleitet werden.

5

Da innerhalb des Bauelements nur jeweils eine (einzelne) interne „CLK-Leitung“ (hier: die Takt-Leitung  $CLK_i$ ), und eine (einzelne) interne „/CLK-Leitung“ (hier: die Takt-Leitung / $CLK_i$ ) vorgesehen ist, werden von einer Schaltvorrichtung 59

10

- abhängig von dem Ergebnis der weiter unten genauer erläuterten, von der Taktsignal-Ermittlungs-Einrichtung 2 durchgeführten Taktsignal-Ermittlung - entweder die an den Leitungen 58a, 58b anliegenden Signale  $CLK'''$  und / $CLK'''$ , oder die an den Leitungen 57a, 57b anliegenden Signale  $CLK''$  und / $CLK''$  an die interne Takt-Leitung  $CLK_i$  bzw. die interne Takt-Leitung / $CLK_i$  weitergeschaltet.

15

Wie bereits oben erwähnt, wird mit der in Figur 1 gezeigten Taktsignal-Ermittlungs-Einrichtung 2 ermittelt, ob am Bauelement - insbesondere an dessen Taktanschlüssen 3a, 3b - differentielle Taktsignale anliegen, oder ein Einzel-Taktsignal (so dass dann entsprechend entweder die erste, oder die zweite Takt-Weiterleitungs-Einrichtung 50, 51 aktiviert werden kann).

20

25

Hierzu wird ermittelt, ob am zweiten Taktanschluss 3b das o.g. Taktsignal /CLK bzw. Test-Taktsignal / $CLK_T$  anliegt, oder nicht.

30

Aus der Tatsache, dass am zweiten Taktanschluss 3b das o.g. Taktsignal /CLK bzw. Test-Taktsignal / $CLK_T$  anliegt, kann geschlossen werden, dass am Bauelement insgesamt - insbesondere an dessen Taktanschlüssen 3a, 3b - differentielle Taktsignale anliegen.

35

Demgegenüber kann aus der Tatsache, dass am zweiten Taktanschluss 3b kein Taktsignal /CLK bzw. Test-Taktsignal

/CLK<sub>T</sub> anliegt, geschlossen werden, dass am Bauelement - insbesondere am ersten Taktanschluss 3a - ein Einzel-Taktsignal anliegt.

- 5 Wird das DDR-Bauelement in Betrieb genommen (d.h. wechselt das Bauelement von einem Zustand „power off“ auf einen Zustand „power on“), wird die Schaltungsanordnung 1 freigegeben. Hierzu wird an einer Leitung 6 ein „logisch hohes“ Schaltungsanordnungs-Freigabe-Signal EN angelegt (bzw. 10 das Schaltungsanordnungs-Freigabe-Signal EN wechselt seinen Zustand von „logisch niedrig“ auf „logisch hoch“).

- Des weiteren wird - ebenfalls bei Inbetriebnahme des DDR-Bauelements - der Zählstand Z einer Zähl-Einrichtung 7 (hier: 15 ein Dual-Zähler) auf einen Anfangswert (hier: einen Zählstands-Anfangs-Wert  $Z_0 = 0$ ) zurückgesetzt. Hierzu wird an einer Leitung 8 - kurzzeitig - ein „logisch hohes“ Zähler-Rücksetz-Signal RESET angelegt (bzw. das Zähler-Rücksetz-Signal wechselt seinen Zustand von „logisch niedrig“ auf 20 „logisch hoch“ (und dann wieder von „logisch hoch“ auf „logisch niedrig“)).

- Die Zähl-Einrichtung 7 ist so aufgebaut, dass diese bei einem Zählstand Z von „Null“ (d.h. beim Zählstands-Anfangs-Wert  $Z_0$  5 = 0) ein „logisch niedriges“ Signal am Ausgang der Zähl-Einrichtung 7 ausgibt.

- Der Ausgang der Zähl-Einrichtung 7 ist über eine Leitung 9 mit dem Ausgang 10 der Schaltungsanordnung 1 verbunden (an 30 dem somit - ebenfalls - ein „logisch niedriges“ Signal OUTPUT ausgegeben wird).

- Außer an den Ausgang 10 der Schaltungsanordnung 1 ist die Leitung 9 (und damit der Ausgang der Zähl-Einrichtung 7) noch 35 über eine Leitung 11 an den Eingang eines Inverters 12 angeschlossen.

Wird - wie oben erläutert - nach Inbetriebnahme des DDR-Bauelements, und nach dem Zurücksetzen der Zähl-Einrichtung 7 von dieser ein „logisch niedriges“ Signal ausgegeben - und über die Leitungen 9 und 11 an den Eingang des Inverters 12  
5 angelegt -, gibt dieser an seinem Ausgang ein invertiertes, d.h. „logisch hohes“ Signal /OUTPUT aus.

Das „logisch hohe“ Signal /OUTPUT wird über eine Leitung 13 an einen ersten Eingang eines UND-Schalt-Glieds 14 angelegt,  
10 sowie über die Leitung 47 an das in Figur 3 gezeigte NAND-Schalt-Glied 48.

Wie in Figur 1 gezeigt ist, wird an den zweiten Eingang des UND-Schalt-Glieds 14 - über die Leitung 6 - das o.g.  
15 Schaltungsanordnungs-Freigabe-Signal EN angelegt.

Nur dann, wenn (- wie nach Inbetriebnahme des DDR-Bauelements, und Zurücksetzen der Zähl-Einrichtung 7 der Fall -) beim UND-Schalt-Glied 14 sowohl das - über die Leitung 13  
20 zugeführte - Signal /OUTPUT, als auch das - über die Leitung 6 - zugeführte Schaltungsanordnungs-Freigabe-Signal EN in einem Zustand „logisch hoch“ sind, wird am Ausgang des UND-Schalt-Glieds 14 ein „logisch hohes“ Signal ausgegeben, welches über eine Leitung 15 dem Gate eines n-Kanal-  
25 Feldeffekttransistors 18 zugeführt wird (hier: ein n-Kanal-MOSFET 18).

Wie weiter in Figur 1 gezeigt ist, ist der Drain des n-Kanal-Feldeffekttransistors 18 über eine Leitung 19 an die  
30 Versorgungsspannung angeschlossen, und die Source über eine Leitung 20 an den Drain eines (weiteren, mit dem n-Kanal-Feldeffekttransistor 18 in Reihe geschalteten) n-Kanal-Feldeffekttransistors 21 (hier: ein n-Kanal-MOSFET 21).

35 Wird, wie oben erläutert, am Ausgang des UND-Schalt-Glieds 14 ein „logisch hohes“ Signal ausgegeben, wird der n-Kanal-Feldeffekttransistor 18 ein- bzw. durchgeschaltet; die

Spannung an der Source des n-Kanal-Feldeffekttransistors 18 ist dann im wesentlichen gleich groß, wie die Spannung an dessen Drain (hier: GROUND-Potential).

5 Der Drain des n-Kanal-Feldeffekttransistors 21 ist über eine  
Leitung 22 an die - mit den n-Kanal-Feldeffekttransistoren  
18, 21 in Reihe geschaltete - (eigentliche) Taktsignal-  
Ermittlungs-Einrichtung 2 der Schaltungsanordnung 1  
angeschlossen, insbesondere an einen Anschluß 27 eines  
10 Differenzverstärkers 24.

Das Gate des n-Kanal-Feldeffekttransistors 21 ist mit einer  
Leitung 23 verbunden. Wird das DDR-Bauelement in Betrieb  
genommen (d.h. wechselt das Bauelement von einem Zustand  
15 „power off“ auf einen Zustand „power on“), wird veranlasst,  
dass über die Leitung 23 ein „logisch hohes“  
Differenzverstärker-Freigabe-Signal ENdiff an das Gate des n-  
Kanal-Feldeffekttransistors 21 angelegt wird.

20 Liegt am Gate des n-Kanal-Feldeffekttransistors 21 ein  
„logisch hohes“ Differenzverstärker-Freigabe-Signal ENdiff  
an, wird der n-Kanal-Feldeffekttransistor 21 ein- bzw.  
durchgeschaltet; die Spannung am Drain des n-Kanal-  
Feldeffekttransistors 21 - und damit die Spannung am  
Differenzverstärker-Anschluß 27 - ist dann im wesentlichen  
gleich groß, wie die Spannung an der Source des n-Kanal-  
Feldeffekttransistors 21, und damit - bei ebenfalls ein- bzw.  
durchgeschaltetem n-Kanal-Feldeffekttransistor 18 - im  
wesentlichen gleich groß, wie die Spannung an der Source des  
30 n-Kanal-Feldeffekttransistor 18 (hier: GROUND-Potential).

In diesem Zustand ist der Differenzverstärker 24 bzw. die  
Taktsignal-Ermittlungs-Einrichtung 2 „freigegeben“, d.h. es  
wird durch den Differenzverstärker 24 bzw. die Taktsignal-  
35 Ermittlungs-Einrichtung 2 - auf die unten im Detail  
beschriebene Weise - ein Vergleich zwischen der Spannungshöhe



des Taktsignals /CLK bzw. Test-Taktsignals /CLK<sub>T</sub>, und der Spannungshöhe einer Referenzspannung VREF durchgeführt.

Liegt demgegenüber entweder am Gate des n-Kanal-Feldeffekttransistors 21 und/oder am Gate des n-Kanal-Feldeffekttransistors 18 statt einem „logisch hohem“ ein „logisch niedriges“ Signal an, ist der n-Kanal-Feldeffekttransistor 21 und/oder der n-Kanal-Feldeffekttransistor 18 ausgeschaltet bzw. gesperrt.

Aufgrund des dann zwischen dem Drain und der Source des entsprechenden n-Kanal-Feldeffekttransistors 18 bzw. 21 auftretenden Spannungsabfalls liegt dann die Spannung an der Source des n-Kanal-Feldeffekttransistors 21 - und damit die Spannung am Differenzverstärker-Anschluß 27 - (zwangsweise) nicht mehr auf GROUND-Potential.

Wie weiter unten genauer erläutert wird, kann in diesem Zustand durch den Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 kein der Darstellung unten entsprechender Vergleich der Spannungshöhe des Taktsignals /CLK bzw. Test-Taktsignals /CLK<sub>T</sub> und der Spannungshöhe der Referenzspannung VREF mehr durchgeführt werden; der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 sind dann „gesperrt“.

Wie in Figur 1 gezeigt ist, weist der Differenzverstärker 24 zwei - parallelgeschaltete, symmetrische - n-Kanal-Feldeffekttransistoren 25a, 25b (hier: zwei n-Kanal-MOSFETs 25a, 25b) auf, sowie zwei - als aktive, hochohmige Lasten für den Differenzverstärker 24 bzw. die n-Kanal-Feldeffekttransistoren 25a, 25b fungierende - p-Kanal-Feldeffekttransistoren 26a, 26b (hier: zwei p-Kanal-MOSFETs 26a, 26b).

Die Source des ersten n-Kanal-Feldeffekttransistors 25a des Differenzverstärkers 24 ist über eine Leitung 28a an den

Differenzverstärker-Anschluß 27 angeschlossen (und damit an die Source des n-Kanal-Feldeffekttransistors 21).

5 Auf entsprechende, symmetrische Weise ist auch die Source des zweiten n-Kanal-Feldeffekttransistors 25b des Differenzverstärkers 24 mit dem Differenzverstärker-Anschluß 27 verbunden (und damit mit der Source des n-Kanal-Feldeffekttransistors 21), und zwar über eine Leitung 28b.

10 Das Gate des ersten n-Kanal-Feldeffekttransistors 25a ist über eine Leitung 29a mit einem ersten Eingang des Differenzverstärkers 24 verbunden, und das Gate des zweiten n-Kanal-Feldeffekttransistors 25b über eine Leitung 29b mit einem zweiten Differenzverstärker-Eingang.

15

Der zweite Differenzverstärker-Eingang (Leitung 29b) ist über eine Leitung 30 an den zweiten Taktanschluss 3b des DDR-DRAMS angeschlossen (an dem, wie oben erläutert, - im normalen Arbeits-Betriebs-Modus - das o.g. erste, differentielle Taktsignal /CLK anliegt, oder - im Test-Modus - entweder (falls differentielle Test-Taktsignale verwendet werden) das o.g. erste, differentielle Test-Taktsignal /CLK<sub>T</sub>, oder (falls ein Einzel-Test-Taktsignal verwendet wird) kein (Test-Takt-) Signal).

25

An den ersten Differenzverstärker-Eingang (Leitung 29a) wird die o.g. Referenzspannung VREF angelegt. Diese wird z.B. - mittels eines Spannungsteilers - aus der Versorgungsspannung gewonnen. Die Spannungshöhe der Referenzspannung VREF ist - wie in Figur 2 gezeigt ist - konstant, und kann z.B. ca. die Hälfte der Spannungshöhe der Versorgungsspannung betragen.

30

Demgegenüber wechselt - wie ebenfalls in Figur 2 gezeigt ist - die Spannung des gegebenenfalls am zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub> in regelmäßigen zeitlichen Abständen zwischen einem Spannungswert von 0V (Erd-

35

Potential), und der Höhe der Versorgungsspannung (d.h. im wesentlichen dem doppelten Wert, wie die Spannungshöhe der Referenzspannung  $V_{REF}$ ).

- 5 Wieder bezogen auf Figur 1 ist beim Differenzverstärker 24 der Drain des zweiten n-Kanal-Feldeffekttransistors 25b über eine Leitung 31b mit einem Differenzverstärker-Ausgang verbunden, welcher an eine Ausgangs-Leitung 36 angeschlossen ist.

10

Die beiden Differenzverstärker-Ausgänge (Leitung 31a, und Leitungen 31b bzw. 36) sind - auf an sich bekannte Weise - jeweils mit den oben bereits erwähnten, als aktive, hochohmige Lasten für den Differenzverstärker 24 bzw. die n-Kanal-Feldeffekttransistoren 25a, 25b fungierenden p-Kanal-Feldeffekttransistoren 26a, 26b verbunden.

15

Dabei ist der zweite Differenzverstärker-Ausgang (Leitungen 31b bzw. 36) - und damit die Source des zweiten n-Kanal-Feldeffekttransistors 25b - über eine Leitung 32b an die Source des zweiten p-Kanal-Feldeffekttransistors 26b angeschlossen.

20

Auf entsprechende Weise ist der erste Differenzverstärker-Ausgang (Leitung 31a) - und damit der Drain des ersten n-Kanal-Feldeffekttransistors 25a - über eine Leitung 32a an die Source des ersten p-Kanal-Feldeffekttransistors 26a angeschlossen.

25

- 30 Die Source des zweiten p-Kanal-Feldeffekttransistors 26b ist über eine Leitung 33b und an eine Leitung 33c an die Versorgungsspannung angeschlossen; auf entsprechende Weise ist auch die Source des ersten p-Kanal-Feldeffekttransistors 26a mit der Versorgungsspannung verbunden (und zwar über eine
- 35 Leitung 33a, welche - ebenfalls - mit der an die Versorgungsspannung angeschlossenen Leitung 33a verbunden ist).

Wie weiter aus Figur 1 ersichtlich ist, sind die Gates der beiden p-Kanal-Feldeffekttransistoren 26a, 26b über eine Leitung 34 miteinander verbunden, und über eine Leitung 35 an die Leitung 32a angeschlossen (und damit an den Drain des ersten p-Kanal-Feldeffekttransistors 26a und den Drain des ersten n-Kanal-Feldeffekttransistors 25a).

Durch die - als aktive, hochohmige Lasten fungierenden (auf die o.g. Weise geschalteten) - p-Kanal-Feldeffekttransistoren 26a, 26b wird erreicht, dass die beiden - symmetrischen - n-Kanal-Feldeffekttransistoren 25a, 25b im Sättigungsbereich betrieben werden.

Je größer der Unterschied zwischen der Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-)Taktsignals /CLK bzw. /CLK<sub>T</sub>, und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF, desto höher ist der durch den zweiten n-Kanal-Feldeffekttransistor 25b fließende Drain-Strom  $I_{D,b}$  (bzw. desto geringer ist der durch den ersten n-Kanal-Feldeffekttransistor 25a fließende Drain-Strom  $I_{D,a}$ ), und desto geringer ist die Spannung am zweiten Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) (bzw. desto höher ist die Spannung am ersten Differenzverstärker-Ausgang (Leitung 31a)).

Dabei ist (aufgrund der entsprechenden Größen der Widerstände der - als hochohmige Lasten für die n-Kanal-Feldeffekttransistoren 25a, 25b fungierenden - p-Kanal-Feldeffekttransistoren 26a, 26b) die Summe der durch die beiden n-Kanal-Feldeffekttransistoren 25a, 25b fließenden Drain-Ströme  $I_{D,a}$ ,  $I_{D,b}$  im wesentlichen konstant (d.h. es gilt im wesentlichen  $I_{D,a} + I_{D,b} = \text{const.}$ ).

Wie weiter in Figur 1 gezeigt ist, ist der zweite Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-

Leitung 36) über eine Leitung 37 an die Source eines weiteren p-Kanal-Feldeffekttransistors 38 angeschlossen, dessen Source über eine Leitung 33d mit der Leitung 33a verbunden ist (und damit über die Leitung 33c mit dem Versorgungsspannungs-  
 5 Potential), und dessen Gate mit einer Leitung 39 verbunden ist, an der - entsprechend wie am Gate des n-Kanal-Feldeffekttransistor 21 - das o.g. Differenzverstärker-Freigabe-Signal ENdiff anliegt.

- 10 Ist - wie z.B. nach der Inbetriebnahme des DDR-Bauelements der Fall - das Differenzverstärker-Freigabe-Signal ENdiff „logisch hoch“, ist der weitere p-Kanal-Feldeffekttransistor 38 ausgeschaltet bzw. gesperrt, d.h. hat keinen Einfluß auf die am zweiten Differenzverstärker-Ausgang - Leitung 31b bzw.  
 15 Ausgangs-Leitung 36 - anliegende Spannung (stattdessen hängt diese dann, wie oben erläutert, vom Unterschied zwischen der Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub>, und der Höhe der an dem ersten  
 20 Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF ab).

Liegt demgegenüber am Gate des weiteren p-Kanal-Feldeffekttransistors 38 (und dementsprechend auch am Gate  
 25 des n-Kanal-Feldeffekttransistors 21) statt einem „logisch hohem“ ein „logisch niedriges“ Signal an, wird der p-Kanal-Feldeffekttransistor 38 ein- bzw. durchgeschaltet (und dementsprechend der n-Kanal-Feldeffekttransistor 21 ausgeschaltet bzw. gesperrt). Die Spannung am zweiten  
 30 Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) wird dann (zwangsweise) auf Versorgungsspannungs-Potential gezogen. Die am zweiten Differenzverstärker-Ausgang anliegende Spannung hängt dann nicht mehr vom Unterschied zwischen der Höhe der Spannung des an dem zweiten  
 35 Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub>, und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden

Referenzspannung VREF ab; der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 sind „gesperrt“.

Wie in Figur 1 weiter gezeigt ist, ist der zweite  
5 Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-  
Leitung 36) über eine Leitung 40 an den Eingang eines  
Inverter-Verstärkers 41 angeschlossen. Der Ausgang des  
Inverter-Verstärkers 41 ist über eine Leitung 42 an eine  
Leitung 43 angeschlossen, die mit dem Eingang der Zähl-  
10 Einrichtung 7 verbunden ist.

Des weiteren ist die mit dem Inverter-Verstärker-Ausgang  
verbundene Leitung 42 - über eine Leitung 44a - mit einem  
weiteren Inverter-Verstärker 46 verbunden, der - über eine  
15 Leitung 44b - mit der Leitung 40 verbunden ist (und damit mit  
dem Eingang des Inverter-Verstärkers 41). Der Ausgang des  
Inverter-Verstärkers 41 ist also - unter Zwischenschaltung  
des weiteren Inverter-Verstärkers 46 - an den Inverter-  
Verstärker-Eingang rückgekoppelt.

20

Jeder der Inverter-Verstärker 41, 46 besteht aus jeweils  
einem n- und einem p-Kanal-Feldeffekttransistor, wobei die  
Source des jeweiligen n-Kanal-Feldeffekttransistors jeweils  
an die Erde angeschlossen ist, und die Source des jeweiligen  
25 p-Kanal-Feldeffekttransistors jeweils an die  
Versorgungsspannung.

Die in den Inverter-Verstärkern 41, 46 verwendeten  
Feldeffekttransistoren arbeiten also jeweils in Source-  
30 Schaltung, und verstärken die am jeweiligen Inverter-Eingang  
anliegende Eingangsspannung invertierend, wobei jeweils der  
eine Feldeffekttransistor eines Inverter-Verstärkers 41, 46  
den Arbeitswiderstand für den jeweils anderen  
Feldeffekttransistor darstellt.

35

Durch die o.g. Rückkopplung - und eine entsprechende  
Dimensionierung des weiteren Inverter-Verstärkers 46 - wird

hier (auf an sich bekannte Weise) erreicht, dass der Ein- und der Ausschalt-Spannungspegel des Inverter-Verstärkers 41 nicht zusammenfallen, sondern um eine Inverter-Verstärker-Schalthysterese  $\Delta U_e$  verschieden sind:

5

Erst dann, wenn die Höhe der Spannung am zweiten Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) - und damit die Höhe der Spannung am Eingang des Inverter-Verstärkers 41 - unter einen Wert  $U_{e,aus}$  absinkt, wird der Inverter-Verstärker 41 „ausgeschaltet“; am Ausgang des Inverter-Verstärkers 41 liegt dann z.B. ein „logisch hohes“ (bzw. „logisch niedriges“) Signal an (hier: das Versorgungsspannungs-Potential bzw. das Erde-Potential).

15

Demgegenüber wird erst dann, wenn die Höhe der Spannung am zweiten Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) - und damit die Höhe der Spannung am Eingang des Inverter-Verstärkers 41 - (wieder) über einen Wert  $U_{e,ein}$  ansteigt (und nicht bereits bei dem Wert  $U_{e,aus}$ ), der Inverter-Verstärker (wieder) „eingeschaltet“; am Ausgang des Inverter-Verstärkers 41 liegt dann z.B. ein „logisch niedriges“ (bzw. „logisch hohes“) Signal an (hier: das Erd-Potential bzw. das Versorgungsspannungs-Potential). Dabei ist  $U_{e,aus}$  kleiner als  $U_{e,ein}$ , d.h. es gilt  $U_{e,aus} - U_{e,ein} = \Delta U_e$  (Schalthysterese des Inverter-Verstärkers 41).

25

Damit ergeben sich insgesamt - wie in Figur 2 veranschaulicht ist - für die Taktsignal-Ermittlungs-Einrichtung 2 in Bezug auf die Höhe der Spannung des an dem zweiten

30

Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub>, und die Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung  $V_{REF}$ , sowie die - hieraus resultierende - Höhe der Spannung am Ausgang des Inverter-Verstärkers 41 - unterschiedliche - obere und untere Schalt-Punkte

35

(Taktsignal-Ermittlungs-Einrichtungs-Schalthysterese  $\Delta U_{total}$ ):

Erst dann, wenn die Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals  $/CLK$  bzw.  $/CLK_T$  größer ist, als die Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a)

- 5 anliegenden Referenzspannung  $V_{REF}$ , zuzüglich einer Hysterese  $\Delta U_1$  (d.h. erst wenn gilt

$$/CLK > (V_{REF} + \Delta U_1)$$

- 10 (bzw.  $/CLK_T > (V_{REF} + \Delta U_1)$ ), wird der Inverter-Verstärker 41 „ausgeschaltet“ (am Ausgang des Inverter-Verstärkers 41 liegt dann ein „logisch hohes“ Signal an).

- Demgegenüber wird erst dann, wenn die Höhe der Spannung des  
15 an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals  $/CLK$  bzw.  $/CLK_T$  (wieder) kleiner ist, als die Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung  $V_{REF}$ , abzüglich einer Hysterese  $\Delta U_2$  (d.h.  
20 erst wenn gilt

$$/CLK < (V_{REF} - \Delta U_2)$$

(bzw.  $/CLK_T < (V_{REF} - \Delta U_2)$ ), der Inverter-Verstärker 41  
5 (wieder) „eingeschaltet“ (am Ausgang des Inverter-Verstärkers 41 liegt dann ein „logisch niedriges“ Signal an).

Dabei gilt für die o.g. (Gesamt-)Schalthystere der Taktsignal-Ermittlungs-Einrichtung 2:

30

$$\Delta U_{\text{total}} = (V_{REF} + \Delta U_1) - (V_{REF} - \Delta U_2)$$

- Wie bereits oben erläutert, wird das am Ausgang des Inverter-Verstärkers 41 anliegende Signal über die Leitungen 42, 43 an  
35 den Eingang der Zähl-Einrichtung 7 angelegt.



Jedesmal dann, wenn das auf den Leitungen 42, 43 anliegende Signal seinen Zustand von zunächst „logisch niedrig“ auf „logisch hoch“, und dann wieder zurück auf „logisch niedrig“ ändert, erhöht sich gemäß Figur 2 der - wie oben erwähnt bei Inbetriebnahme des DDR-Bauelements zunächst auf einen Zählstand Z von „Null“ (d.h. einen Zählstands-Anfangs-Wert  $Z_0 = 0$ ) zurückgesetzte - Zählstand Z der Zähl-Einrichtung 7 um „Eins“ (d.h. bei der ersten negativen Taktflanke des (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub> wechselt der Zählstand Z von „Null“ auf „Eins“, bei der nächsten negativen Taktflanke des (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub> von „Eins“ auf „Zwei“, etc.)

Durch die oben erläuterte Hysterese  $\Delta U_{\text{total}}$  der Taktsignal-Ermittlungs-Einrichtung 2 wird verhindert, dass bereits bei lediglich auf Störungen beruhenden, relativ kleinen Schwankungen zwischen der Höhe der Spannung des (Test-) Taktsignals /CLK bzw. /CLK<sub>T</sub> und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF der Inverter-Verstärker 41 - fälschlicherweise - umgeschaltet, und - fälschlicherweise - der Zählstand Z der Zähl-Einrichtung 7 erhöht wird.

Wie bereits oben erläutert, gibt die Zähl-Einrichtung 7 zunächst (z.B. bei einem Zählstand Z von „Null“ (d.h. beim Zählstands-Anfangs-Wert  $Z_0 = 0$ )) ein „logisch niedriges“ Signal am Ausgang der Zähl-Einrichtung 7 aus. Erst dann, wenn der Zählstand Z einen vorbestimmten Zählstands-Wert  $Z_{\text{vor}}$  erreicht, gibt die Zähl-Einrichtung 7 - statt einem „logisch niedrigen“ - ein „logisch hohes“ Signal aus, so dass dann auch das Signal OUTPUT am Ausgang 10 der Schaltungsanordnung 1 seinen Zustand von „logisch niedrig“ auf „logisch hoch“ wechselt.

Der vorbestimmten Zählstands-Wert  $Z_{\text{vor}}$ , bei welchem das am Ausgang der Zähl-Einrichtung 7 ausgegebene Signal seinen Zustand von „logisch niedrig“ auf „logisch hoch“ wechselt,

kann z.B. zwischen „zwei“ und „vierundsechzig“ liegen (d.h.  $2 < Z_{\text{vor}} < 64$ ), insbesondere zwischen „acht“ und „zweiunddreißig“ (d.h.  $8 < Z_{\text{vor}} < 32$ ), z.B. gleich „sechzehn“ sein (d.h.  $Z_{\text{vor}} = 16$ ).

5

Jedesmal dann, wenn der Zählstand  $Z$  um „eins“ erhöht wird, wird davon ausgegangen, dass - wie in Figur 2 gezeigt ist - ein (weiterer) Einzel-Takt  $S1, S2, S3, S4$  eines am zweiten Taktanschluss 3b anliegenden (Test-) Taktsignals  $/CLK$  bzw.  $/CLK_T$  ermittelt worden ist.

10

Erreicht der Zählstand  $Z$  den o.g. vorbestimmten Zählstands-Wert  $Z_{\text{vor}}$  (ist also - wahrscheinlich - eine relativ hohe Zahl (hier z.B.  $Z_{\text{vor}} = 16$ ) an Einzel-Takten  $S1, S2, S3, S4$

15

ermittelt worden), wird davon ausgegangen, dass am zweiten Taktanschluss 3b das (Test-) Taktsignal  $/CLK$  bzw.  $/CLK_T$  anliegt (und damit am Bauelement insgesamt - insbesondere an dessen Taktanschlüssen 3a, 3b - differentielle Taktsignale (insbesondere das o.g. Takt- bzw. Test-Taktsignal  $CLK$  bzw.

20

$CLK_T$  am ersten Taktanschluss 3a, und das o.g. - hierzu inverse - Takt- bzw. Test-Taktsignal  $/CLK$  bzw.  $/CLK_T$  am zweiten Taktanschluss 3b)).

Dies wird - wie erläutert - dadurch angezeigt, dass das Signal OUTPUT am Ausgang 10 der Schaltungsanordnung 1 einen „logisch hohen“ Zustand einnimmt.

35

Bleibt demgegenüber der Zählstand  $Z$  der Zähl-Einrichtung 7 beim Zählstands-Anfangs-Wert  $Z_0 = 0$ , oder bleibt der

30

Zählstand  $Z$  unter dem vorbestimmten Zählstands-Wert  $Z_{\text{vor}}$ , wird davon ausgegangen, dass am zweiten Taktanschluss 3b kein (Test-) Taktsignal  $/CLK$  bzw.  $/CLK_T$  anliegt (und damit am Bauelement insgesamt ein Einzel-Taktsignal (insbesondere - am ersten Taktanschluss 3a - das o.g. Einzel-Takt- bzw. Einzel-Test-Taktsignal  $CLK$  bzw.  $CLK_T$ )).

35

Wird ermittelt, dass am Bauelement differentielle Taktsignale anliegen - und wird dementsprechend von der Zähl-Einrichtung 7 ein „logisch hohes“ Signal ausgegeben - wird dieses „logisch hohe“ Signal über die Leitungen 9 und 11 an den Eingang des Inverters 12 weitergeleitet.

Der Inverter 12 gibt dann an seinem Ausgang ein invertiertes, d.h. „logisch niedriges“ Signal /OUTPUT aus.

- 10 Dieses „logisch niedrige“ Signal /OUTPUT wird über die Leitung 13 an den ersten Eingang des UND-Schalt-Glieds 14 angelegt, an dessen Ausgang (d.h. an der Leitung 15) dann ein „logisch niedriges“ Signal ausgegeben, und an das Gate des n-Kanal-Feldeffekttransistors 18 gelegt. Hierdurch wird der n-Kanal-Feldeffekttransistor 18 aus- bzw. abgeschaltet (d.h. nicht-leitend) - der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 sind dann - entsprechend wie oben erläutert - „gesperrt“ bzw. abgeschaltet.
- 15
- 20 Dadurch wird verhindert, dass im normalen Betriebs-Modus - d.h. beim Anliegen differentieller Taktsignale - ein unnötig hoher Stromverbrauch auftritt.

## Patentansprüche

1. Bauelement, welches einen Anschluß (3b) aufweist, sowie mindestens einen weiteren Anschluß (3a), wobei an den
- 5 Anschlüssen (3a, 3b) differentielle Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK, /CLK<sub>T</sub>) angelegt werden können, oder - am Anschluß (3b) und/oder am weiteren Anschluß (3a) - ein Einzel-Eingangs-Taktsignal (CLK, CLK<sub>T</sub>),
- d a d u r c h g e k e n n z e i c h n e t, dass das
- 10 Bauelement außerdem eine erste und eine zweite Takt-Weiterleitungs-Einrichtung (50, 51) aufweist, wobei die erste Takt-Weiterleitungs-Einrichtung (51) zum Weiterleiten differentieller Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK, /CLK<sub>T</sub>), und die zweite Takt-Weiterleitungs-Einrichtung (50)
- 15 zum Weiterleiten eines Einzel-Eingangs-Taktsignals (CLK, CLK<sub>T</sub>) vorgesehen ist.
2. Bauelement nach Anspruch 1, bei welchem die erste Takt-Weiterleitungs-Einrichtung (51) speziell zum Weiterleiten
- 20 differentieller Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK, /CLK<sub>T</sub>), und/oder die zweite Takt-Weiterleitungs-Einrichtung (01) speziell zum Weiterleiten eines Einzel-Eingangs-Taktsignals (CLK, CLK<sub>T</sub>) ausgelegt ist.
- 25 3. Bauelement nach Anspruch 1 oder 2, bei welchem die zweite Takt-Weiterleitungs-Einrichtung (50) dann die Ausgabe eines differentiellen Ausgangs-Taktsignals (CLK'', /CLK'') auf einem entsprechenden Leitungspaar (57a, 57b) veranlaßt, wenn ermittelt wird, dass - am Anschluß (3b) und/oder am
- 30 weiteren Anschluß (3a) - ein Einzel-Eingangs-Taktsignal (CLK, CLK<sub>T</sub>) anliegt.
4. Bauelement nach einem der vorhergehenden Ansprüche, welches außerdem eine Schaltungsanordnung (1) aufweist zum
- 35 Ermitteln, ob an den Anschlüssen (3a, 3b) differentielle Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK, /CLK<sub>T</sub>) anliegen, oder

- am Anschluß (3b) und/oder am weiteren Anschluß (3a) - ein Einzel-Eingangs-Taktsignal (CLK, CLK<sub>T</sub>).

5. Bauelement nach Anspruch 4, bei welchem zum Ermitteln,  
5 ob an den Anschlüssen (3a, 3b) differentielle Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK, /CLK<sub>T</sub>) anliegen - oder am Anschluß (3a) und/oder am weiteren Anschluß (3a) ein Einzel-Eingangs-Taktsignal (CLK, CLK<sub>T</sub>) - durch die Schaltungsanordnung (1) ermittelt wird, ob am Anschluß (3b)  
10 und/oder am weiteren Anschluß (3a) ein Eingangs-Taktsignal (/CLK, /CLK<sub>T</sub>) anliegt.

6. Bauelement nach Anspruch 4 oder 5, bei welchem die Schaltungsanordnung (1) eine Vergleichs-Einrichtung (24)  
15 aufweist zum Vergleich des am Anschluß (3b) anliegenden Signals, insbesondere des dort anliegenden Eingangs-Taktsignals (/CLK, /CLK<sub>T</sub>), mit einem Referenzsignal (VREF).

7. Bauelement nach Anspruch 6, bei welchem die Vergleichs-Einrichtung (24) einen Differenzverstärker umfaßt.  
20

8. Bauelement nach Anspruch 6 oder 7, bei welchem dann von der Vergleichs-Einrichtung (24) ein Impuls-, insbesondere ein Eingangs-Taktimpuls-Ermittlungssignal ausgegeben wird, wenn  
25 der Pegel des am Anschluß (3b) anliegenden Signals einen vorbestimmten Pegel, insbesondere den Pegel des Referenzsignals (VREF) übersteigt, oder unterschreitet.

9. Bauelement nach einem der Ansprüche 6 bis 8, bei welchem  
30 von der Vergleichs-Einrichtung (24) dann ein Impuls-, insbesondere ein Eingangs-Taktimpuls-Ermittlungssignal ausgegeben wird, wenn der Pegel des am Anschluß (3b) anliegenden Signals zunächst einen vorbestimmten, ersten Pegel (VREF + ΔU<sub>1</sub>) übersteigt, und dann einen vorbestimmten,  
35 zweiten, vom ersten Pegel unterschiedlichen Pegel (VREF - ΔU<sub>2</sub>) unterschreitet.

10. Bauelement nach einem der Ansprüche 6 bis 8, bei welchem von der Vergleichs-Einrichtung (24) dann ein Impuls-, insbesondere ein Eingangs-Taktimpuls-Ermittlungssignal ausgegeben wird, wenn der Pegel des am Anschluß (3b)

5 anliegenden Signals zunächst einen vorbestimmten, ersten Pegel unterschreitet, und dann einen vorbestimmten, zweiten, vom ersten Pegel unterschiedlichen Pegel übersteigt.

11. Bauelement nach einem der vorhergehenden Ansprüche, 10 welches zusätzlich eine Zähl-Einrichtung (7) aufweist, insbesondere zum Ermitteln der Anzahl der von der Vergleichs-Einrichtung (24) ausgegebenen Impuls-, insbesondere Eingangs-Taktimpuls-Ermittlungssignale.

12. Bauelement nach Anspruch 11, bei welchem dann, wenn die 15 von der Zähl-Einrichtung (7) ermittelte Anzahl (Z) der von der Vergleichs-Einrichtung (24) ausgegebenen Impuls-, insbesondere Eingangs-Taktimpuls-Ermittlungssignale größer oder gleich einer vorbestimmten Anzahl ( $Z_0$ ) ist, ermittelt 20 wird, dass am Anschluß (3b) ein Eingangs-Taktsignal (/CLK, /CLK<sub>T</sub>) anliegt.

13. Bauelement nach einem der vorhergehenden Ansprüche, 25 welches ein DDR- (Double Data Rate) Halbleiter-Bauelement ist, insbesondere ein DDR-Halbleiter-Speicherbauelement.

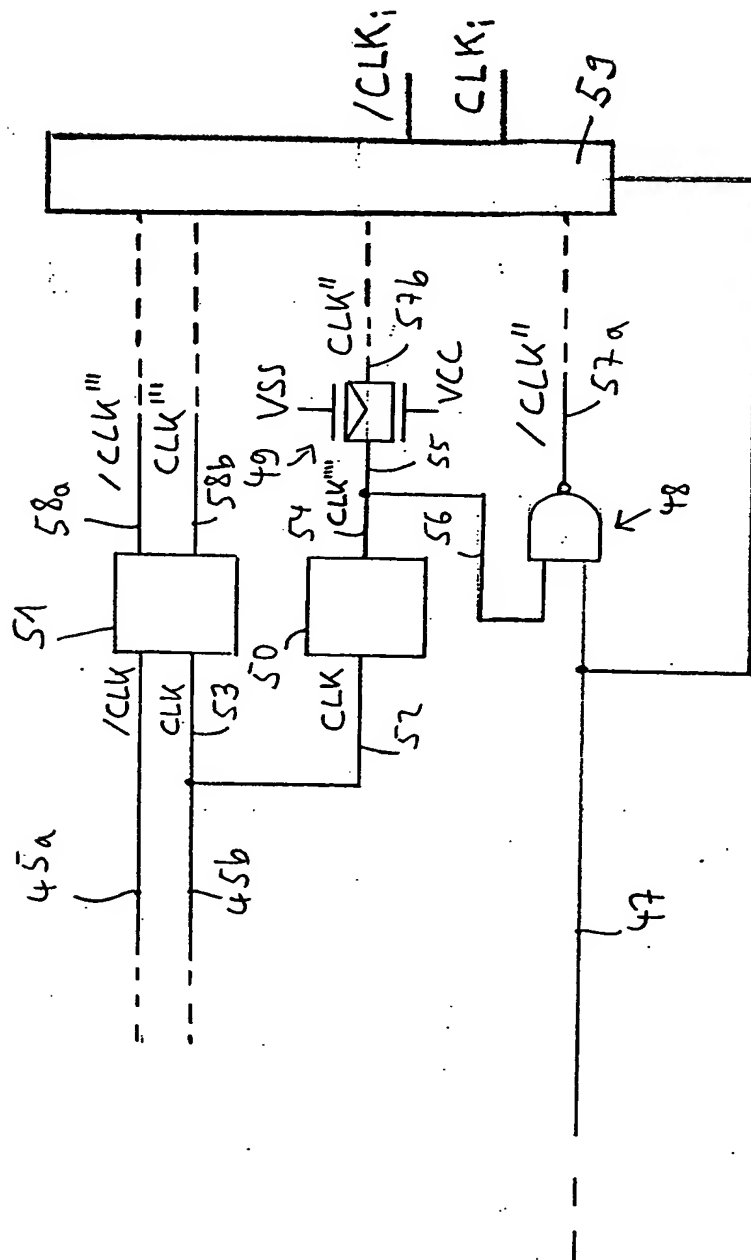
14. Bauelement nach Anspruch 13, bei welchem das Speicherbauelement ein DRAM (Dynamic Random Access Memory) ist.

## Zusammenfassung

## Bauelement mit Takt-Weiterleitungs-Einrichtung

- 5 Die Erfindung betrifft ein Bauelement, welches einen Anschluß (3b) aufweist, sowie mindestens einen weiteren Anschluß (3a), wobei an den Anschlüssen (3a, 3b) differentielle Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK, /CLK<sub>T</sub>) angelegt werden können, oder - am Anschluß (3b) und/oder am weiteren Anschluß (3a) -
- 10 ein Einzel-Eingangs-Taktsignal (CLK, CLK<sub>T</sub>), und wobei das Bauelement außerdem eine erste und eine zweite Takt-Weiterleitungs-Einrichtung (50, 51) aufweist, wobei die erste Takt-Weiterleitungs-Einrichtung (50) zum Weiterleiten differentieller Eingangs-Taktsignale (CLK, CLK<sub>T</sub>; /CLK,
- 15 /CLK<sub>T</sub>), und die zweite Takt-Weiterleitungs-Einrichtung (51) zum Weiterleiten eines Einzel-Eingangs-Taktsignals (CLK, CLK<sub>T</sub>) vorgesehen ist.

- Figur 3 -





## Bezugszeichen

	1	Schaltungsanordnung
	2	Taktsignal-Ermittlungs-Einrichtung
5	3a	Taktanschluss
	3b	Taktanschluss
	4	Testgerät
	5a	Leitung
	5b	Leitung
10	6	Leitung
	7	Zähl-Einrichtung
	8	Leitung
	9	Leitung
	10	Ausgang
15	11	Leitung
	12	Inverter
	13	Leitung
	14	UND-Schalt-Glied
	15	Leitung
20	18	n-Kanal-Feldeffekttransistor
	19	Leitung
	20	Leitung
	21	n-Kanal-Feldeffekttransistor
	22	Leitung
	23	Leitung
	24	Differenzverstärker
	25a	n-Kanal-Feldeffekttransistor
	25b	n-Kanal-Feldeffekttransistor
	26a	p-Kanal-Feldeffekttransistor
30	26b	p-Kanal-Feldeffekttransistor
	27	Differenzverstärker-Anschluß
	28a	Leitung
	28b	Leitung
	29a	Leitung
35	29b	Leitung
	30	Leitung
	31a	Leitung

	31b	Leitung
	32a	Leitung
	32b	Leitung
	33a	Leitung
5	33b	Leitung
	33c	Leitung
	33d	Leitung
	34	Leitung
	35	Leitung
10	36	Ausgangs-Leitung
	37	Leitung
	38	p-Kanal-Feldeffekttransistor
	39	Leitung
	40	Leitung
15	41	Verstärker
	42	Leitung
	43	Leitung
	44a	Leitung
	44b	Leitung
20	45a	Leitung
	45b	Leitung
	46	Verstärker
	47	Leitung
	48	NAND-Schalt-Glied
5	49	Transmission-Gate
	50	Takt-Weiterleitungs-Einrichtung
	51	Takt-Weiterleitungs-Einrichtung
	52	Leitung
	53	Leitung
30	54	Leitung
	55	Leitung
	56	Leitung
	57a	Leitung
	57b	Leitung
35	58a	Leitung
	58b	Leitung
	59	Schaltvorrichtung



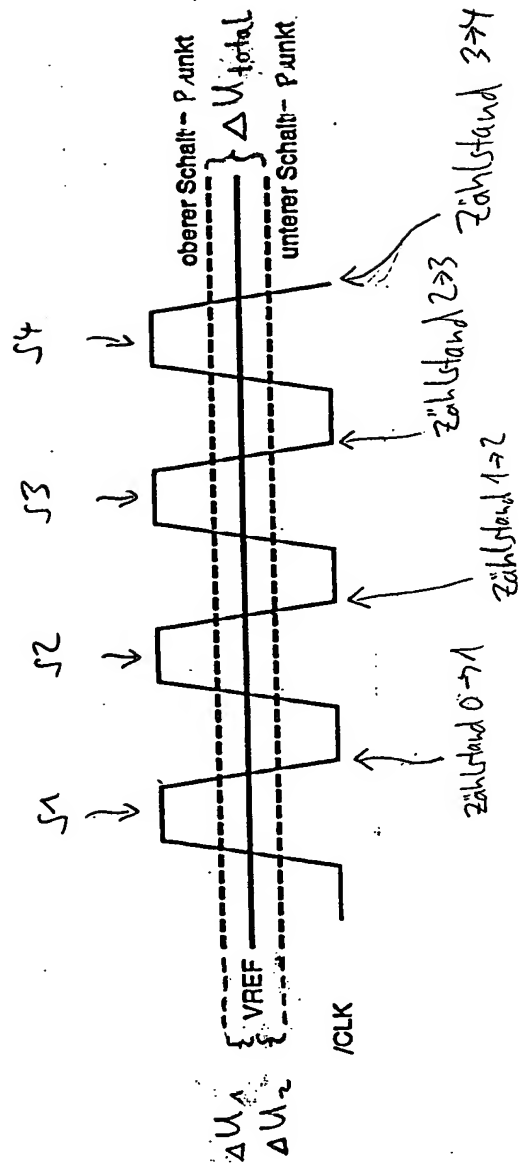


Fig. 2

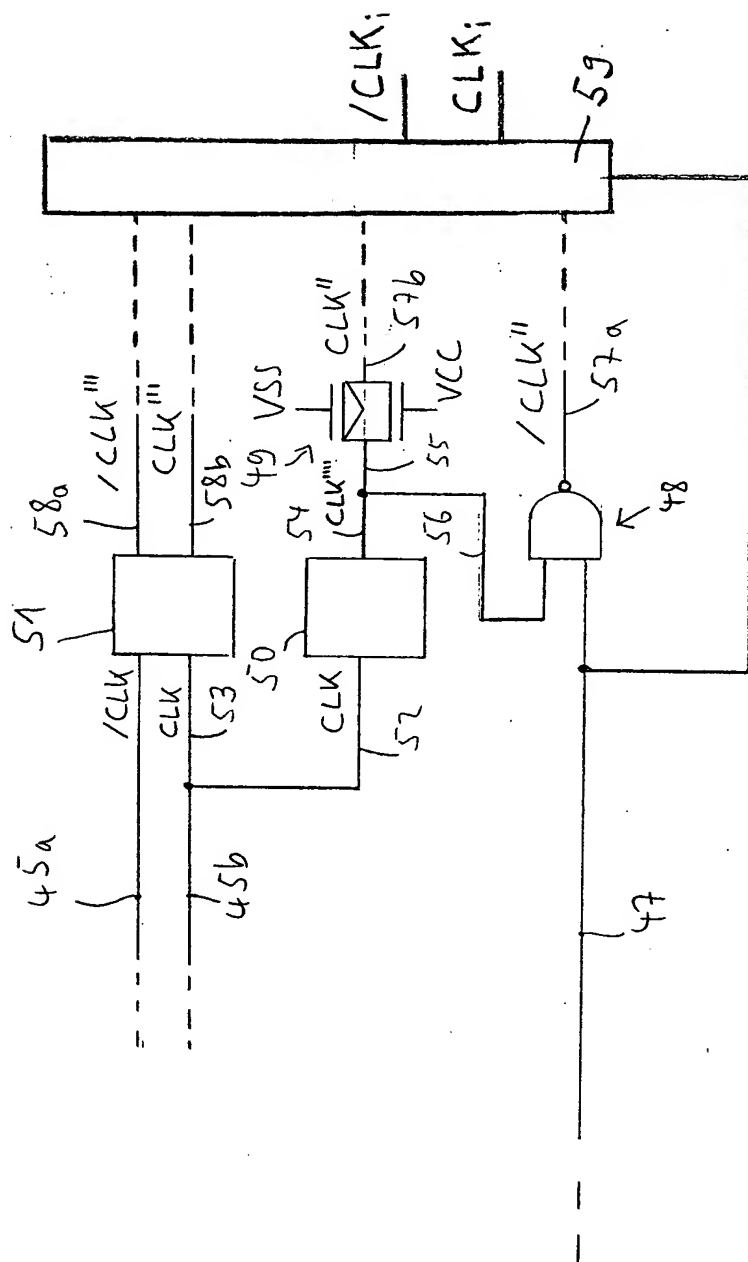


Fig. 3